

(11)Publication number : 2000-066989  
(43)Date of publication of application : 03.03.2000

**G06F 13/14**  
**G06F 15/17**

(72)Inventor : TSURUTA SUSUMU  
SUGIMOTO MORIJI

Figure 1 is a block diagram of a data processing system. The system is divided into three main sections: a HOST (M/I), a HOST (OPEN), and a central processing unit. The HOST (M/I) section includes a CPU, a BC, and a CSW-1. The HOST (OPEN) section includes a SCW-1. The central processing unit includes a CPU, a BC, and a CSW-1. The system is connected to a CPU, a BC, and a CSW-1. The system is connected to a CPU, a BC, and a CSW-1. The system is connected to a CPU, a BC, and a CSW-1.

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAdFaGz6DA412066989P...> 2006/06/28

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-66989

(P2000-66989A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) IntCl. <sup>7</sup>	識別記号	F I	ターム(参考)
G 0 6 F 13/14 15/17	3 1 0	G 0 6 F 13/14 15/17	3 1 0 Y 5 B 0 1 4 5 B 0 4 5

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平10-238478

(22) 出願日 平成10年8月25日 (1998.8.25)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鶴田 進

神奈川県小田原市国府津2880番地 株式会  
社日立製作所ストレージシステム事業部内

(72) 発明者 杉本 守二

神奈川県小田原市国府津2880番地 株式会  
社日立製作所ストレージシステム事業部内

(74) 代理人 100080001

弁理士 筒井 大和

Fターム(参考) 5B014 GA13 HA01

5B045 BB23 BB28 BB30 BB38 BB56

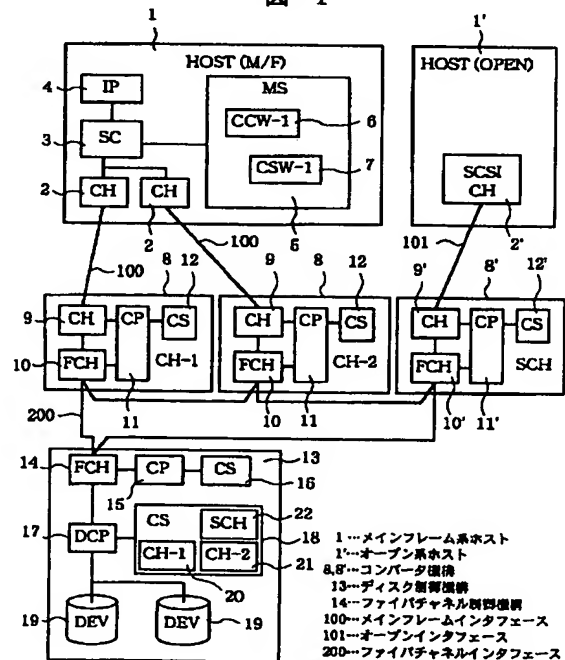
(54) 【発明の名称】 情報処理システム

(57) 【要約】

【課題】 装置の大型化やスループット低下を生じることなく、中央処理装置と周辺入出力装置との間の複数の多様なインタフェース接続を可能にする。

【解決手段】 メインフレームインタフェース用のチャネル接続機構2を備えたメインフレーム系ホスト1およびSCSI等のオープンインタフェース用のチャネル接続機構2'を備えたオープン系ホスト1'と、単一のファイバチャネル制御機構14を備えたディスク制御機構13との間に、コンバータ機構8、8'を設け、ホスト側のメインフレームインタフェース100、およびSCSI等のオープンインタフェース101を、共通のファイバチャネルインタフェースに統一し、ファイバチャネルインタフェース200を介して、ディスク制御機構13に接続した。コンバータ機構8、8'およびディスク制御機構13では、共通のファイバチャネルインタフェースと元の個別インタフェースとの間の相互変換を実行する。

図 1



**【特許請求の範囲】**

【請求項1】 第1の処理装置と、第2の処理装置と、前記第1および第2の処理装置の間に介在するインタフェース変換手段とを含み、

前記インタフェース変換手段は、当該インタフェース変換手段と前記第1の処理装置との間に設けられた複数の第1のインタフェースと、当該インタフェース変換手段と前記第2の処理装置との間に設けられた第2のインタフェースと、の間におけるインタフェース変換を実行するインタフェース変換機能を備えたことを特徴とする情報処理システム。

【請求項2】 請求項1記載の情報処理システムにおいて、

前記第2のインタフェースに接続される前記第2の処理装置は、前記第2のインタフェースを、個々の前記第1のインタフェースに変換して実行するインタフェース変換機能を備えたことを特徴とする情報処理システム。

【請求項3】 請求項1または2記載の情報処理システムにおいて、

前記第1のインタフェースは、メインフレームコンピュータシステムにおいて中央処理装置と周辺入出力装置との間に設けられるメインフレームインタフェース、および前記メインフレームインタフェース以外のオープンインタフェースの少なくとも一方からなり、前記第2のインタフェースは、ファイバチャネルインタフェースからなり、前記第1の処理装置は中央処理装置であり、前記第2の処理装置は前記中央処理装置との間における情報の授受を行う周辺入出力装置である第1の構成、前記第1のインタフェースは、メインフレームコンピュータシステムにおいて中央処理装置と周辺入出力装置との間に設けられるメインフレームインタフェース、および前記メインフレームインタフェース以外のオープンインタフェースの少なくとも一方からなり、前記第2のインタフェースは、ファイバチャネルインタフェースからなり、前記第2の処理装置は中央処理装置であり、前記第1の処理装置は前記中央処理装置との間における情報の授受を行う周辺入出力装置である第2の構成、のいずれかの構成を備えたことを特徴とする情報処理システム。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、中央処理装置や入出力装置等の処理装置間が入出力インタフェースを介して接続される情報処理システムに関し、特に情報処理システムの入出力インタフェース制御技術に係り、詳細には、高速多重動作可能なインタフェースを利用して従来のソフトウェア、ハードウェア間インタフェースの互換性を維持しつつ、多種多様なインタフェースを多重動作可能な高速インタフェースに変換するインタフェース制御技術に関する。

**【0002】**

【従来の技術】 従来、コンピュータシステムの中央処理装置と入出力装置間を結合する入出力インタフェースとしては、たとえば、図8のような参考技術で示されるチャネルインタフェースによる接続が行われていた。

【0003】 すなわち、メインフレーム系ホスト601の複数のチャネル602に対して、メインフレーム専用のメインフレームインタフェース400を介して、ディスク装置500を接続している。この場合、ディスク装置500には、メインフレームインタフェース400の数だけ、チャネル接続ポート501a、インタフェースコントローラ501b、制御メモリ501c等からなる複数のチャネル接続インタフェース501を設け、これらのチャネル接続インタフェース501は、ディスク制御プロセッサ504、制御メモリ505、等を介して、記憶媒体であるディスクドライブ503に接続され、データの入出力が行われる。

【0004】 また、メインフレーム以外のオープン系ホスト601'に対して、たとえば、SCSI等のオープンインタフェース401を接続する場合には、ディスク装置500の側に、対応するオープン専用チャネルポート502a、インタフェースコントローラ502b、制御メモリ502c等からなるオープン接続インタフェース502を増設していた。

**【0005】**

【発明が解決しようとする課題】 上述のように、従来の入出力インタフェースは、伝送スループット確保、または単一経路障害に対して交代経路を確保する意味で、複数のメインフレームインタフェース400等の結合バスを確保していた。これは、インタフェースプロトコル、およびインタフェースのスループットに起因する。即ち、従来のインタフェースプロトコルでは、同時に複数のコマンド処理シーケンスを実現できず、プロトコル制御オーバーヘッドが、スループット低下の原因となっていたこと、およびスループット向上のために複数プロトコルを多重動作させたとしても、スループットのインタフェースの転送速度が遅く、十分な転送能力を発揮できなかったことが挙げられる。このため、スループット確保のためには、結合バス数の増設によらざるを得ない状況があった。

【0006】 しかし、近年のインタフェースバス数の増設には限界が見え始めた。つまり、半導体技術の発展は、急激なデータ処理能力向上を齎し、同時に装置の小型化が可能となったことにより、処理能力に見合うバス数増設要求に加え、装置の小型化要求の物理的制限が進行したためである。以上のことから、物理的バス数を増やさず、スループットを向上する方法が要求される。

【0007】 更に、メインフレーム、パーソナルコンピュータ、ワークステーション等のオープンホスト等、異機種間の相互接続が進行しつつあることも、上述のよう

に専用インタフェース種を増加させており、入出力インタフェース数を増加させる要因となっている。

【0008】以上のように、従来では、装置毎にインタフェース種毎のインタフェース制御機能の設計が必要となり、更に各制御機構を入出力インタフェース数分実装することは、装置を大型化させる要因となっている。

【0009】なお、たとえば、特開平4-355854号公報には、複数の光ファイバケーブル等の伝送媒体にて、入出力制御装置とリモートチャネル装置との間を接続することにより、伝送路の冗長度を大きくした技術が開示されているが、本発明における上述のような技術的課題の認識は見られない。

【0010】本発明の目的は、物理的バス数を増やさず、多様なインタフェースによる処理装置間のデータ転送におけるスループットを向上させることが可能な情報処理技術を提供することにある。

【0011】本発明の他の目的は、物理的に単一のインタフェースにて多様なインタフェースによる処理装置間の接続を行うことが可能な情報処理技術を提供することにある。

【0012】本発明の他の目的は、装置を大型化することなく、多様なインタフェースによる処理装置間の接続を行うことが可能な情報処理技術を提供することにある。

【0013】

【課題を解決するための手段】本発明の情報処理システムでは、第1の処理装置と第2の処理装置との間に設定される従来の複数の入出力インタフェースを共通物理インタフェース上に統合することで物理インタフェース数を削減する。このために、従来インタフェースと共通インタフェースとの間の相互変換機能を提供し、共通インタフェースで装置間を接続すると共に、異種インタフェースも含め、従来プロトコルを各処理装置のインタフェース制御機能間で配送する機能を実現することができる。また、この時、ソフト互換性を保ったままの変換を実現することができる。

【0014】より具体的には、一例として、中央処理装置（第1の処理装置）と周辺入出力装置（第2の処理装置）とが入出力インタフェースを介して接続される情報処理システムにおいて、中央処理装置と周辺入出力装置との間に配置され、中央処理装置とは複数の上位入出力インタフェース（第1のインタフェース）で接続され、周辺入出力装置とは単一の下位入出力インタフェース（第2のインタフェース）で接続され、複数の上位入出力インタフェースを、単一の下位インタフェース上で同時に実行するように変換するインタフェース変換装置を備えるようにしたものである。

【0015】また、この情報処理システムに於いて、インタフェース変換装置に対して単一の下位インタフェースにて接続される周辺入出力装置には、単一の下位入

出力インタフェースを複数の上位入出力インタフェースに変換して実行する複数のインタフェース動作実行機能を備えるようにしたものである。

【0016】あるいは、一例として、中央処理装置（第2の処理装置）と周辺入出力装置（第1の処理装置）とが入出力インタフェースを介して接続される情報処理システムにおいて、中央処理装置と周辺入出力装置との間に、中央処理装置に対しては単一の上位入出力インタフェース（第2のインタフェース）で接続され、周辺入出力装置に対しては複数の下位入出力インタフェース（第1のインタフェース）で接続され、複数の下位入出力インタフェースを単一の上位インタフェース上で同時に実行するインタフェース変換装置を備えるようにしたものである。

【0017】また、この情報処理システムにおいて、インタフェース変換装置に対して単一の上位入出力インタフェースで接続される中央処理装置には、単一の上位入出力インタフェースから元の複数の下位入出力インタフェースに変換して実行する複数のインタフェース動作実行機能を備えるようにしたものである。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら詳細に説明する。

【0019】図1は、本発明の一実施の形態である情報処理システムの構成の一例を示す概念図であり、図2は、本実施の形態の情報処理システムにおけるデータ転送にて用いられるデータフォーマットの一例を示す概念図、図3は、本実施の形態の情報処理システムにおいて用いられる制御情報の一例を示す概念図である。

【0020】本実施の形態の情報処理システムは、メインフレーム系ホスト1およびオープン系ホスト1'（第1の処理装置）を、コンバータ機構8、コンバータ機構8'（インタフェース変換手段）を介して、配下のディスク制御機構13（第2の処理装置）に接続した構成となっている。

【0021】それぞれのホストは、それぞれのホスト固有のインタフェースであるメインフレームインタフェース100（たとえばS390インタフェース）、オープンインタフェース101（たとえばSCSI）（第1のインタフェース）を持ち、これらのインタフェースはインタフェース固有のチャネル接続機構2、チャネル接続機構2'で制御され、コンバータ機構8に接続される。

【0022】メインフレーム系ホスト1では、複数のチャネル接続機構2は、スイッチコネクション3を介して主記憶5に接続され、同じくスイッチコネクション3を介して主記憶5に接続される中央処理装置4が、入出力命令として主記憶5に生成する複数のチャネルコマンドワード6、チャネルコマンドワード7に基づいて、中央処理装置4に代わって、メインフレームインタフェース100を介して接続される配下のディスク制御機構13

との間におけるデータの入出力動作を行う。

【0023】オープン系ホスト1'のチャネル接続機構2'は、オープンインタフェース101を介して、配下のディスク制御機構13との間におけるデータの入出力動作を行う。

【0024】本実施の形態の場合、コンバータ機構8は、ホスト固有インタフェースのコンバータチャネル制御機構9、またはコンバータチャネル制御機構9'を持ち、更に共通インタフェースとしてファイバチャネルインタフェース200(第2のインタフェース)に接続されるファイバチャネル制御機構10を持つ。

【0025】これらの制御機構は、制御プロセッサ11、制御プロセッサ11'で制御されると共に、当該制御プロセッサ11、11'において、ホスト固有のメインフレームインタフェース100、オープンインタフェース101と、ファイバチャネルインタフェース200間のインタフェース変換制御が実行される。ここで、ファイバチャネルインタフェース200とは、米国ANSIで規格制定されたインタフェース仕様であり、共通物理インタフェース上に複数種の論理プロトコル(たとえば、SCSI、SBCCS等)の実現が可能であり、かつ、複数プロトコルを同時に制御する特徴を持ったインタフェースである。インタフェース自体は、一般に知られた技術であるため、ここでは解説しない。

【0026】コンバータ機構8、コンバータ機構8'は、ファイバチャネルインタフェース200を介して、ディスク制御機構13に接続される。なお、図1の例では、ディスク制御機構13が一つの場合が例示されているが、複数接続されていてもよい。

【0027】ディスク制御機構13は、ファイバチャネル制御機構14、およびディスク制御を実行するディスク制御プロセッサ17で構成される。更に、ファイバチャネル制御機構14には、インタフェース制御を実行する制御プロセッサ15が付加され、当該制御プロセッサ15、およびディスク制御プロセッサ17は、制御マイクロプログラム、および制御情報を格納した制御メモリ16、制御メモリ18をそれぞれ持つ。

【0028】本実施の形態におけるコンバータ機構8、8'の詳細の一例を図4に示す。この図4は、メインフレーム接続のシリアルインタフェースの例である。図4において、メインフレームインタフェース100から到来するホストチャネルフレーム77(情報転送単位)は、受信ハードウェア40を介してホストインタフェース受信バッファ41に格納される。ここで転送されるホストチャネルフレーム77のフォーマットは、図2

(b)に示す形式となっており、転送元アドレス79(sadr)とフレーム中の転送先アドレス78(dadr)が、それぞれホストインタフェース上の転送元のチャネル接続機構2と転送先のコンバータチャネル制御機構9を指定する。また、情報フィールド80(INF

O)は、フレーム単位に送受する情報を格納する(例:コマンドの送付であればコマンドコード、転送データ数等)。

【0029】ここで、メインフレームインタフェース100、オープンインタフェース101等のホストインタフェースを共通のファイバチャネルインタフェース200に変換することは、前記転送先アドレス78(dadr)、転送元アドレス79(sadr)をファイバチャネルインタフェース200上の相当アドレスに変換すること、ファイバチャネルインタフェース200に特有の情報を付加すること、および情報フィールド内のホストインタフェース特有部分をファイバチャネルインタフェース200用に変換することによって実行される。

【0030】そこで制御プロセッサ11は、ホストインタフェース受信バッファ41を参照して受信フレームを解析し、格納されている転送先アドレス78、転送元アドレス79、およびデバイスアドレスを読み出し、制御メモリ12に格納されるアドレス変換テーブル50に基づき、ファイバチャネルの転送元アドレス72、転送先アドレス71を決定する。アドレス変換テーブル50のフォーマットの一例を図3の(a)に示す。これらのアドレスは、システム構成時に別の手段によってコンバータ機構8に設定される。

【0031】このホストインタフェース受信バッファ41に受信した受信フレームは、ファイバチャネルインタフェース200側のファイバチャネル送信バッファ46に経路111を経由して転送され、更にファイバチャネルインタフェース200上に転送されるが、その際、ヘッダ格納部47に先に制御プロセッサ11が求めたファイバチャネルインタフェース200上の転送先アドレス71、転送元アドレス72、およびファイバチャネル固有部が、制御プロセッサ11によって予め格納され、送信ハードウェア49は、ファイバチャネルインタフェース200のフレーム転送時、送信元、受信先アドレスを当該ヘッダ部に設定する。更にファイバチャネル固有のヘッダ情報、情報フィールド75の形式変換を行うことによって、ファイバチャネルフレーム70の形態に変換する。ファイバチャネルフレーム70の形式の一例を図2の(a)に示す。この時、ファイバチャネル固有部として、当該フレームが属するコマンド処理単位を識別するID情報74(ファイバチャネルではエクステンジIDと称する)が付加される。当該ID情報74は、ファイバチャネル固有の情報であり、ファイバチャネルインタフェース200上で実行される1コマンドの処理に必要な全てのフレームに同一のIDが付与される。たとえば、あるコマンド、それに続く応答、データ、コマンド実行結果を示すステータス等、一連のフレームシーケンスで転送される全フレームには、同一のID情報が付与される。このIDは、ファイバチャネルインタフェース200上で実行されるコマンド毎に制御プロセッサ1

1によって順次採番される。

【0032】また、同時にプロトコル種別を示すプロトコル識別フラグ73 (FLG) も付加される。これは当該コンバータ機構8が、どのチャネルインタフェースを制御するかによってコンバータ機構毎に固有に決定される情報である。

【0033】また、逆にファイバチャネルインタフェース200側から受けたフレームをメインフレーム系ホスト1に接続されるコンバータチャネル制御機構9の側に転送する時は、その逆の変換がなされ、受信ハードウェア48、ファイバチャネル受信バッファ45から経路110を経て、ホストインタフェース送信バッファ43へ情報が転送され、また、その時、送信ハードウェア42にて、ヘッダ格納部44からホストインタフェース固有情報が付加され、転送される。

【0034】また、これらのメインフレームインタフェース100からファイバチャネルインタフェース200への変換、およびファイバチャネルインタフェース200からメインフレームインタフェース100への変換は、転送フレームレベルで一对一の変換であり、ホスト側からみた場合、完全に互換性が維持される。

【0035】次に、ファイバチャネルフレーム70を受信したディスク制御機構13内のファイバチャネル制御機構14の動作の一例を図5により説明する。

【0036】まず、ファイバチャネル制御機構14が、ファイバチャネルフレーム70を受信すると、当該フレームは、受信ハードウェア60を介して受信バッファ61に格納される。ファイバチャネル制御機構14の制御プロセッサ15は当該受信バッファ61を読み出すことで、当該フレームが、どのコンバータ機構8、8'を経由して来たかを転送元アドレス72より判別可能であり、応答フレーム送信時は、当該転送元アドレス72を転送先アドレス71として転送する。当該フレームは、ファイバチャネル制御機構14が、ディスク制御プロセッサ17内の制御メモリ18に格納するが、当該格納アドレスを識別するために、先にコンバータ機構8、8'で付加したID情報74が使用される。即ち、フレームの転送元アドレス72、およびID情報74の組み合わせによって、ファイバチャネル制御機構14の制御プロセッサ15は、当該フレームが属するコマンド処理単位を識別し、転送制御部65を介して、ディスク制御プロセッサ17の制御メモリ18にID情報74毎に分別して転送する(フレームデータ20、フレームデータ21、フレームデータ22)。同時に、ファイバチャネル制御機構14は、応答フレームの転送先を識別するため、当該ID情報74と転送元アドレス72、転送先アドレス71のアドレス変換テーブル66を作成しておく。このアドレス変換テーブル66のフォーマットの一例を図3の(b)に示す。

【0037】ID情報74を元に切り分けられたディス

ク制御プロセッサ17内の制御メモリ18上では、ホストチャネル毎のフレームが、ディスク制御プロセッサ17の制御メモリ18の別々のアドレスに整理して格納される。

【0038】ディスク制御機構13のディスク制御プロセッサ17はこれらのID情報74によって切り分けられたフレーム群を順次処理することでコマンドの処理を実行する。

【0039】また、ファイバチャネル制御機構14は、フレームをディスク制御プロセッサ17に転送する時、転送先の選択条件として、ホストプロトコルを識別するプロトコル識別フラグ73も考慮する。即ち、プロトコル特有の処理機能へのフレーム転送を確実にするためである。

【0040】一旦、ID情報74の単位に分別されたフレームは、ディスク制御機構13のディスク制御プロセッサ17によって、単一のインタフェースと同様に順次処理される。なお、ディスク制御機構13のディスク制御プロセッサ17は、図1の例では1個のみの実装であるが、処理の負荷に応じて、またはインタフェース種に応じて複数存在しても良い。

【0041】一方、同様に応答もID情報74の単位になされる。ディスク制御機構13のディスク制御プロセッサ17は、受信したID情報74単位のフレームに対応して同一のID情報74の付加された応答フレームを作成し、ファイバチャネル制御機構14に転送する。

【0042】ファイバチャネル制御機構14は、転送制御部65を経由して到来する応答フレームを送信バッファ63に格納し、送信ハードウェア62にて、当該応答フレームに転送元アドレス72、転送先アドレス71等のヘッダ情報を付加してファイバチャネルインタフェース200上に転送する。この時、ファイバチャネル制御機構14は、フレーム受信時に作成したアドレス変換テーブル66(図3の(b)のテーブルフォーマット)から実行中のID情報74に対応した転送元アドレス72、転送先アドレス71を求め、当該ヘッダを作成し、ヘッダ格納部64に格納して用いる。ヘッダを付加したファイバチャネルフレーム70は、コンバータ機構8、8'に転送されるが、ここでは、転送先アドレス71で指定したコンバータ機構8、8'のみが当該フレームに反応し、他のコンバータ機構は反応しない。

【0043】更に、コンバータ機構8、8'内では、先のフレーム変換方法でフレームをメインフレームインタフェース100またはオープンインタフェース101のフォーマットに変換し、チャネル接続機構2、チャネル接続機構2'へ転送する。

【0044】本実施例の場合、コンバータ機構が複数存在し、各コンバータ機構が、1つのホストインタフェースに対応し、かつ、ファイバチャネルインタフェース200の部分が、共通インタフェースとなっている。この

例では、複数のホストインタフェース（メインフレームインタフェース100、オープンインタフェース101）がファイバチャネルインタフェース200のループ上で同時実行されるため、複数のホストインタフェースが、1つのファイバチャネルインタフェース200に統合されることになる。このファイバチャネルインタフェース200のループを含む複数のコンバータ機構8、8'は、1台の装置に統合することも可能であり、その場合、コンバータ機構から複数のホストインタフェース、および単一、または複数のファイバチャネルインタフェース200が、それぞれメインフレーム系ホスト1、オープン系ホスト1'、およびディスク制御機構13等の周辺装置に接続されることになる。

【0045】また、本実施の形態では、オープン系ホスト1'もSCSI等のオープンインタフェース101を介して、ファイバチャネルインタフェース200上に統合されており、物理的には、1本のファイバチャネルインタフェース200で異なる種類のインタフェースを持つメインフレーム系ホスト1、オープン系ホスト1'を、ディスク制御機構13等の周辺入出力装置に接続することが可能となる。

【0046】このように、本実施の形態の情報処理システムによれば、メインフレームインタフェース100、オープンインタフェース101等の多種多様なホストインタフェースを持つ多様なメインフレーム系ホスト1、オープン系ホスト1'に対して、共通の単一のファイバチャネル制御機構14を備えた簡単な構成のディスク制御機構13を、ファイバチャネルインタフェース200を介して接続することが可能となる。このため、接続ハードウェアの共通化、インタフェース本数の物量削減により、ホストインタフェースの数や種類が増えた場合でも、ディスク制御機構13等の周辺入出力装置の構成が複雑化、大型化することがなく、小型化を実現しつつ低コストで多種多様なホストインタフェースに接続することが可能になる。

【0047】また、ホスト側に新種のインタフェースを増設する場合でも、ディスク制御機構13では、ファイバチャネル制御機構14やディスク制御プロセッサ17を制御するソフトウェアを変更するだけで、ハードウェアには一切変更がないので、ホスト側の増設やインタフェースの追加、変更等にディスク制御機構13の側が迅速に対応することが可能となる。

【0048】また、ファイバチャネルインタフェース200のループに接続された複数のコンバータ機構8、8'等におけるインタフェースの変換操作が複数のインタフェースについて同時に実行されるので、インタフェースの数や種類の増加に影響されることなく、多様なメインフレーム系ホスト1、オープン系ホスト1'とディスク制御機構13との間におけるデータ授受のスループットを向上させることが可能となる。

【0049】さらに、メインフレーム系ホスト1、オープン系ホスト1'の側では、従来のメインフレームインタフェース100、オープンインタフェース101や、その制御を行うチャネル接続機構2、チャネル接続機構2'等のハードウェアおよびその制御ソフトウェア、さらには中央処理装置4を制御するオペレーティングシステム等になんら変更を加える必要がないので、情報処理システムの構築や改良、増設等における開発や保守管理等の作業工数を大幅に削減することが可能になる。

【0050】以上は、ディスク制御機構13等の周辺入出力装置側を共通のファイバチャネルインタフェース200に統一して、ホスト側の多様なメインフレームインタフェース100、オープンインタフェース101等に接続する場合を例にとりて説明したが、ホスト側でも同様の変換が可能である。即ち、ホスト側を共通のファイバチャネルインタフェース200とし、コンバータ機構に対してファイバチャネルインタフェース200を介して接続することで、ホストチャネル数の削減の効果が期待できる。

【0051】この場合の実施の形態を図6に示す。すなわち、この図6の例では、上位のメインフレーム系ホスト300およびオープン系ホスト300'（第2の処理装置）の各々は、それぞれ、一つのファイバチャネル制御機構302、一つのファイバチャネル制御機構302'を備え、ファイバチャネルインタフェース200（第2のインタフェース）を介してコンバータ機構8、コンバータ機構8'に接続されている。また、配下のディスク制御機構23（第1の処理装置）は、S390インタフェース等のメインフレームインタフェース100、およびSCSI等のオープンインタフェース101（第1のインタフェース）を介して、コンバータ機構8、およびコンバータ機構8'に接続されている。

【0052】すなわち、この場合のディスク制御機構23は、メインフレームインタフェース100に接続される複数のチャネル接続インタフェース24と、オープンインタフェース101に接続されるオープン接続インタフェース27を備えている。そして、チャネル接続インタフェース24およびオープン接続インタフェース27は、ディスク制御プロセッサ30、制御メモリ31、等を介して、記憶媒体であるディスクドライブ32に接続され、データの入出力が行われる。

【0053】図6の構成においてコンバータ機構8、8'は、図1の場合と同様にインタフェースプロトコル変換を実施する。すなわち、図6の例では、メインフレーム系ホスト300、オープン系ホスト300'の各々に備えられたファイバチャネル制御機構302、ファイバチャネル制御機構302'にて、ファイバチャネルインタフェース200の多重インタフェース動作を複数のチャネルインタフェース制御機構301に分割する。

【0054】メインフレーム系ホスト300のチャネル



インタフェース制御機構301は、従来のチャンネル接続機構に相当する部位であり、それぞれ、単一のメインフレームインタフェース100のプロトコルを制御する。また、当該部位は複数のハードで構成されても、単一ハードでソフト的に多重動作するように構成されても良い。いずれにしても、複数のチャンネルインタフェース制御機構301を一つのファイバチャンネル制御機構302に統一してファイバチャンネルインタフェース200に接続するので、チャンネル数が増加しても、メインフレーム系ホスト300の構造が大型化することがなく、また、チャンネルインタフェース制御機構301の動作とファイバチャンネル制御機構302による変換を同時並行的に実行することでチャンネル数分の高いスループットを実現することができる。

【0055】これによって、見かけ上ホストインタフェース数を削減することで、ホストインタフェース数が増加しても、メインフレーム系ホスト300の小型化、低コスト化を実現することができる。

【0056】また、ホスト側の接続インタフェースをファイバチャンネルインタフェース200に統一することによって、情報処理システムへのオープン系ホスト300'の接続が容易となり、ホスト側のオープン化等の要請に迅速に対応できる、という利点がある。

【0057】図6の実施の形態でも複数のコンバータ機構8、8'、および単一のファイバチャンネルインタフェース200で複数の下位インタフェースを1本のホストインタフェースであるファイバチャンネルに統合するが、ファイバチャンネルは、1本に限定する必要はなく、複数本の冗長構成も実現可能である。

【0058】さらに、図6の構成の変形例として、たとえば、図7のように、上位側のファイバチャンネルインタフェース200に対して、図1に例示された、ファイバチャンネル制御機構14を備えたディスク制御機構13を接続した構成も可能である。

【0059】この図7の構成のディスク制御機構13の場合、ディスク制御プロセッサ17の制御メモリ18には、メインフレーム系ホスト300のチャンネルインタフェース制御機構301との間で授受されるメインフレームインタフェース対応のフレームデータ20、フレームデータ21の他に、ファイバチャンネルインタフェースにネティブのフレームデータ22Aが格納され、オープン系ホスト300'のファイバチャンネル制御機構302'との間におけるファイバチャンネルインタフェース200を介した直接的なデータ授受が行われる。

【0060】この図7の構成の場合には、図6の構成の場合の効果とともに、旧来の多様なホストインタフェースを備えたディスク制御機構23、および比較的新しいインタフェース規格であるファイバチャンネルインタフェースを備えたディスク制御機構13等の技術世代の異なる多様な周辺入出力装置を、双方のハードウェアやソフ

トウェア等に変更を加えることなく、多様なメインフレーム系ホスト300およびオープン系ホスト300'に接続することができ、情報処理システムの拡張性の向上や、市場寿命の延長等の効果がある。

【0061】以上本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0062】たとえば、第1および第2の処理装置の例として、メインフレーム系ホストやオープン系ホストと、これらの配下に接続される周辺入出力装置を例に採って説明したが、複数のインタフェースにて接続される一般の処理装置に広く適用することができる。

【0063】

【発明の効果】本発明の情報処理システムによれば、物理的バス数を増やさず、多様なインタフェースによる処理装置間のデータ転送におけるスループットを向上させることができる、という効果が得られる。

【0064】また、物理的に単一のインタフェースにて多様なインタフェースによる処理装置間の接続を行うことができる、という効果が得られる。

【0065】また、処理装置を大型化することなく、多様なインタフェースによる処理装置間の接続を行うことができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である情報処理システムの構成の一例を示す概念図である。

【図2】(a)および(b)は、本発明の一実施の形態である情報処理システムにおけるデータ転送にて用いられるデータフォーマットの一例を示す概念図である。

【図3】(a)および(b)は、本発明の一実施の形態である情報処理システムにおいて用いられる制御情報の一例を示す概念図である。

【図4】本発明の一実施の形態である情報処理システムにおけるコンバータ機構の構成の一例を示す概念図である。

【図5】本発明の一実施の形態である情報処理システムにおいて周辺入出力装置に備えられるファイバチャンネル制御機構の構成の一例を示す概念図である。

【図6】本発明の一実施の形態である情報処理システムの構成の変形例を示す概念図である。

【図7】本発明の一実施の形態である情報処理システムの構成の変形例を示す概念図である。

【図8】本発明の参考技術である情報処理システムの構成の一例を示す概念図である。

【符号の説明】

1…メインフレーム系ホスト(第1の処理装置)、1'…オープン系ホスト(第1の処理装置)、2…チャンネル接続機構、2'…チャンネル接続機構、3…スイッチコネクション、4…中央処理装置、5…主記憶、6、7…チ

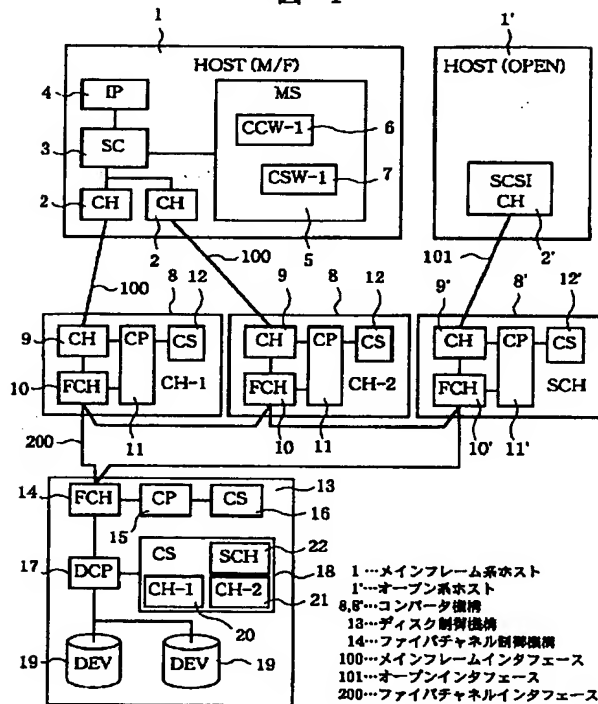


ヤネルコマンドワード、8、8'…コンバータ機構（インタフェース変換手段）、9、9'…コンバータチャネル制御機構、10…ファイバチャネル制御機構、11、11'…制御プロセッサ、12…制御メモリ、13…ディスク制御機構（第2の処理装置）、14…ファイバチャネル制御機構、15…制御プロセッサ、16…制御メモリ、17…ディスク制御プロセッサ、18…制御メモリ、20、21、22、22A…フレームデータ、23…ディスク制御機構（第1の処理装置）、24…チャネル接続インタフェース、27…オープン接続インタフェース、30…ディスク制御プロセッサ、31…制御メモリ、32…ディスクドライブ、40…受信ハードウェア、41…ホストインタフェース受信バッファ、42…送信ハードウェア、43…ホストインタフェース送信バッファ、44…ヘッダ格納部、45…ファイバチャネル受信バッファ、46…ファイバチャネル送信バッファ、47…ヘッダ格納部、48…受信ハードウェア、49…

送信ハードウェア、50…アドレス変換テーブル、60…受信ハードウェア、61…受信バッファ、62…送信ハードウェア、63…送信バッファ、64…ヘッダ格納部、65…転送制御部、66…アドレス変換テーブル、70…ファイバチャネルフレーム、71…転送先アドレス、72…転送元アドレス、73…プロトコル識別フラグ、74…ID情報、75…情報フィールド、77…ホストチャネルフレーム、78…転送先アドレス、79…転送元アドレス、80…情報フィールド、100…メインフレームインタフェース（第1のインタフェース）、101…オープンインタフェース（第1のインタフェース）、110、111…経路、200…ファイバチャネルインタフェース（第2のインタフェース）、300…メインフレーム系ホスト（第2の処理装置）、300'…オープン系ホスト（第2の処理装置）、301…チャネルインタフェース制御機構、302…ファイバチャネル制御機構、302'…ファイバチャネル制御機構。

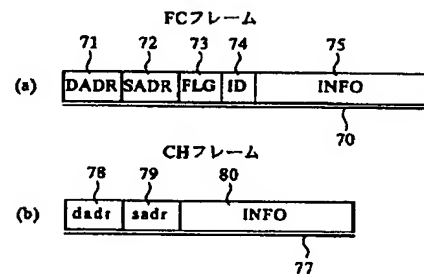
【図1】

図 1



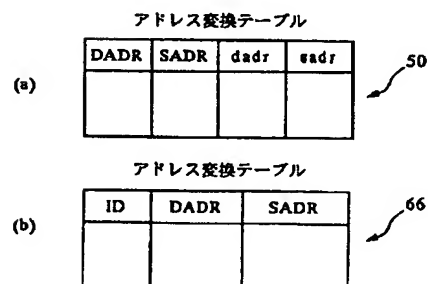
【図2】

図 2

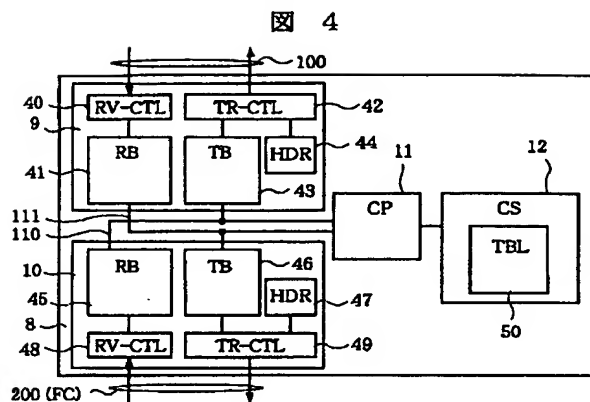


【図3】

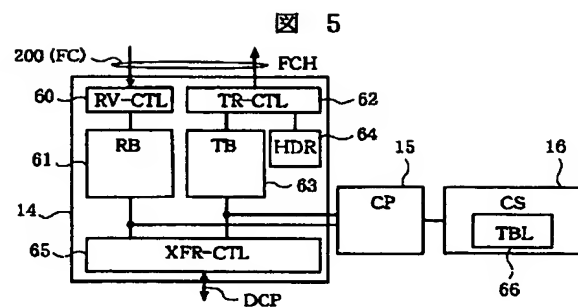
図 3



【図 4】

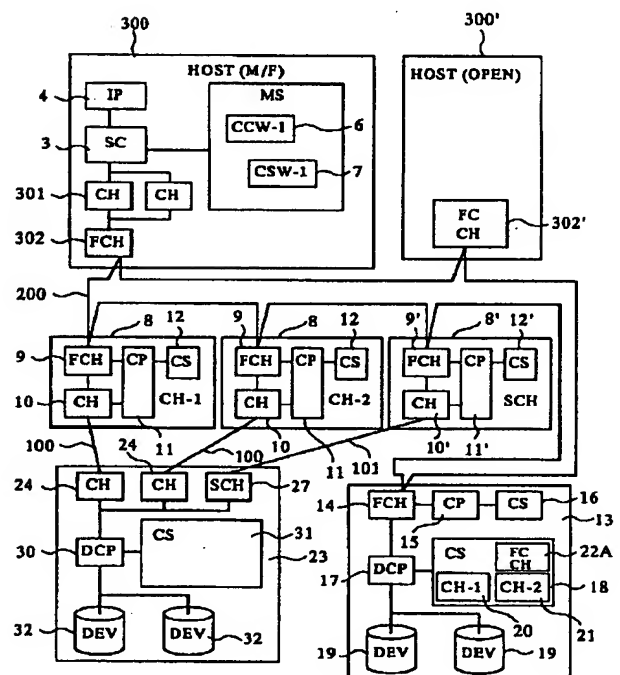
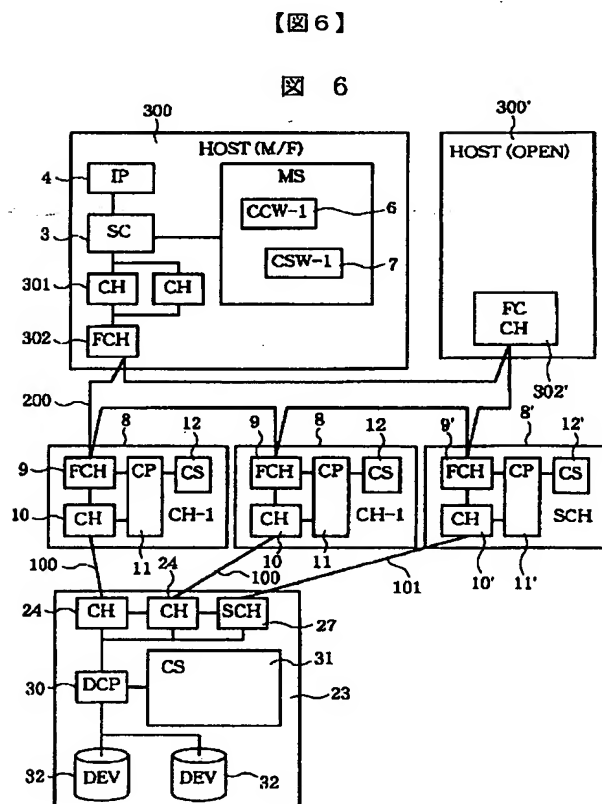


【図 5】



【図 7】

図 7



【図 8】

図 8

